

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-083242  
(43)Date of publication of application : 26.03.1996

(51)Int.Cl.

G06F 13/366

(21)Application number : 06-218400  
(22)Date of filing : 13.09.1994

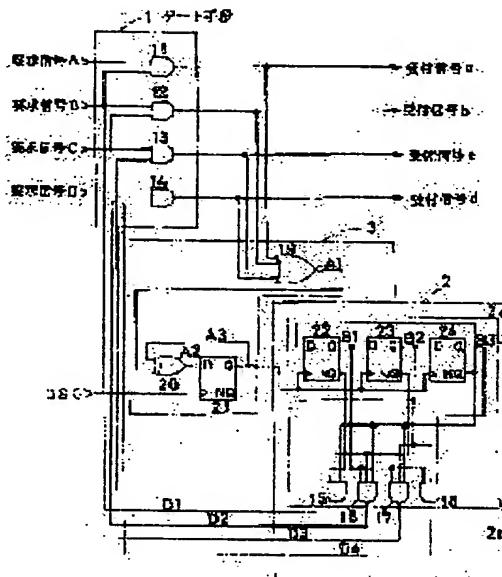
(71)Applicant : MATSUSHITA ELECTRON CORP  
(72)Inventor : KII NAOTO

## (54) ARBITER CIRCUIT

### (57)Abstract:

PURPOSE: To provide an arbiter circuit which adjusts a conflict 4 between  $\geq 2$  request signals with a smaller circuit scale by constituting a circuit which adjust a conflict among plural input signals without using a delay circuit.

CONSTITUTION: This circuit is provided with a gate means 1, a gate control means 2, and a gate fixing means 3. The gate means 1 consists of plural gate elements which are supplied with plural request signals A to D respectively. The gate control means 2 controls the ON and OFF states of the gate elements so that the gate elements turn ON and OFF cyclically. The gate fixing means 3 supplies a gate fixation signal (e) to the gate control means 2 when one of the output signals of the gate elements, i.e., one of acceptance signals (a) to (d) becomes significant to hold the ON and OFF states of the gate elements, and stops supplying the gate fixation signal (e) when none of the output signals of the gate elements is significant.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-83242

(43)公開日 平成8年(1996)3月26日

(51)Int.Cl.<sup>6</sup>  
G 0 6 F 13/366

識別記号 庁内整理番号  
510 A 9172-5E

F I

技術表示箇所

審査請求 未請求 請求項の数2 O L (全9頁)

(21)出願番号 特願平6-218400

(22)出願日 平成6年(1994)9月13日

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(72)発明者 紀伊 直人

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

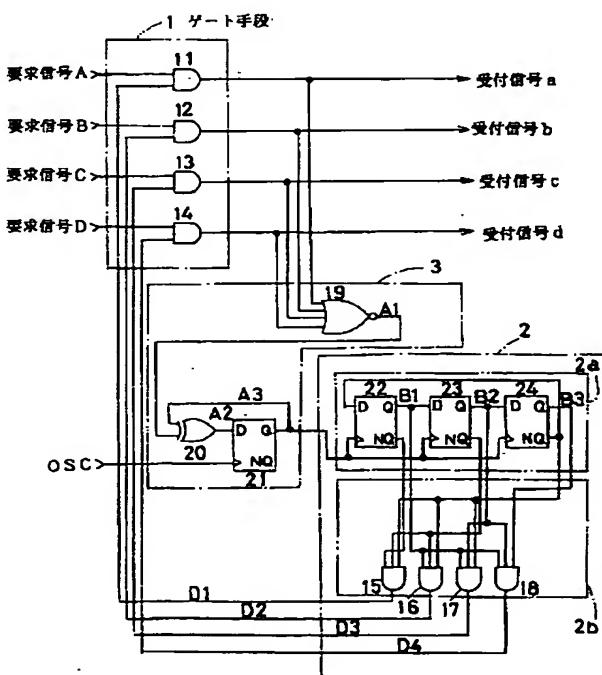
(74)代理人 弁理士 宮井 嘉夫

(54)【発明の名称】 アービタ回路

(57)【要約】

【目的】 遅延回路を使用せずに複数の入力信号の競合を調整する回路を構成し、より小さい回路規模で2つ以上の要求信号の競合を調整するアービタ回路を提供する。

【構成】 ゲート手段1とゲート制御手段2とゲート固定手段3とを設ける。ゲート手段1は、複数の要求信号A～Dがそれぞれ供給される複数のゲート素子からなる。ゲート制御手段2は、複数のゲート素子が一つずつサイクリックに導通するように複数のゲート素子の導通・遮断を制御する。ゲート固定手段3は、複数のゲート素子の何れかの出力信号、つまり受付信号a～dのいずれかが有意となったときにゲート制御手段2にゲート固定信号eを与えて複数のゲート素子の導通・遮断状態を保持させるとともに複数のゲート素子の何れの出力信号も有意でなくなったときにゲート固定信号eの供給を停止する。



## 【特許請求の範囲】

【請求項1】 複数の入力信号がそれぞれ供給される複数のゲート素子からなるゲート手段と、

前記複数のゲート素子が一つずつサイクリックに導通するように前記複数のゲート素子の導通・遮断を制御するゲート制御手段と、

前記複数のゲート素子の何れかの出力信号が有意となつたときに前記ゲート制御手段にゲート固定信号を与えて前記複数のゲート素子の導通・遮断状態を保持させるとともに前記複数のゲート素子の何れの出力信号も有意でなくなったときに前記ゲート固定信号の供給を停止するゲート固定手段とを備えたアービタ回路。

【請求項2】 ゲート手段が、第1ないし第4の入力信号が一方の入力端子に供給される第1ないし第4の2入力論理積ゲートからなり、

ゲート固定手段が、前記第1ないし第4の2入力論理積ゲートの出力信号が4つの入力端子にそれぞれ供給される4入力否定論理和ゲートと、この4入力否定論理和ゲートの出力信号が一方の入力端子に供給される排他的論理和ゲートと、この排他的論理和ゲートの出力信号がD入力端子に供給されQ出力が前記排他的論理和ゲートの他方の入力端子に供給され外部クロック信号がクロック端子に供給される第1のDフリップフロップとからなり、

ゲート制御手段が、前記第1のDフリップフロップのQ出力がクロック端子に供給される第2のDフリップフロップと、この第2のDフリップフロップのQ出力がD入力端子に供給されるとともに前記第1のDフリップフロップのQ出力がクロック端子に供給されQ出力が前記第1のDフリップフロップのD入力端子に供給される第4のフリップフロップと、前記第2、第3および第4のDフリップフロップのNQ出力(Q出力の反転を意味する)が3つの入力端子にそれぞれ供給され出力信号が前記第1の2入力論理積ゲートの他方の入力端子に供給される第1の3入力論理積ゲートと、前記第2のDフリップフロップのQ出力および前記第3および第4のDフリップフロップのNQ出力が3つの入力端子にそれぞれ供給され出力信号が前記第2の2入力論理積ゲートの他方の入力端子に供給される第2の3入力論理積ゲートと、前記第2および第3のDフリップフロップのQ出力および前記第4のDフリップフロップのNQ出力が3つの入力端子にそれぞれ供給され出力信号が前記第3の2入力論理積ゲートの他方の入力端子に供給される第3の3入力論理積ゲートと、前記第2、第3および第4のDフリップフロップのQ出力が3つの入力端子にそれぞれ供給され出力信号が前記第4の2入力論理積ゲートの他方の入力端子に供給される第4の3入力論理積ゲートと

からなる請求項1記載のアービタ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は、半導体回路装置において使用されるアービタ回路に関するものである。

## 【0002】

【従来の技術】 アービタ回路とは、同期あるいは非同期に入力される2つ以上の要求信号に対して、それぞれの競合を調整しあい一方を選択するための回路であり、例えば、半導体メモリに対する書き込み要求と読み出し要求、さらにリフレッシュ要求の競合を調整し、半導体メモリの誤動作やデータの破壊を防止するために用いられる。

【0003】 従来のアービタ回路に用いられるセット入力(以降、S入力と略する)1端子・リセット入力(以降、R入力と略する)3端子以上を有するRSフリップフロップ(以降、3R-RSフリップフロップと略する)を図7に示す。図7において、101は2入力否定論理和ゲート、102は4入力否定論理和ゲートである。

【0004】 つぎに、上記の3R-RSフリップフロップを用いて4つの要求信号の競合を調整するアービタ回路を構成した一例を図6に示す。このアービタ回路は、図6に示すように、2入力論理積ゲート111～114と、3R-RSフリップフロップ115～118と、遅延素子119～122と、2入力論理和ゲート123、124と、4入力否定論理和ゲート125とによって構成されている。

【0005】 具体的には、要求信号Aを2入力論理積ゲート111の一方の入力端子に供給し、2入力論理積ゲート111の出力を3R-RSフリップフロップ115のS入力に接続し、3R-RSフリップフロップ115のNQ出力(Q出力の反転)を遅延素子119を介して3R-RSフリップフロップ115のR1入力に供給することによって第1のラッチ回路を構成している。

【0006】 要求信号B～Dについても、同様にして、2入力論理積ゲート112～114と、3R-RSフリップフロップ116～118と、遅延素子120～122によって、第2ないし第4のラッチ回路を構成している。なお、遅延素子119～122は、それぞれ例えば多数個のバッファの継続接続回路、もしくは多数個のバッファと容量の継続接続回路からなり、遅延時間の大きさに応じてその個数が決められる。また、遅延素子119～122の遅延時間は同じに設定される。

【0007】 そして、第1ないし第4のラッチ回路のQ出力を4入力否定論理和ゲート125の4つの入力端子に供給し、2入力否定論理和ゲート125の出力を2入力論理積ゲート111～114の他方の入力端子にそれぞれ供給している。また、第4のラッチ回路の3R-RSフリップフロップ118のR2入力を接地し(ローレ

ベルに固定し)、第4のラッチ回路の3R-RSフリップフロップ118のQ出力を第3のラッチ回路の3R-RSフリップフロップ117のR2入力に供給し、第3のラッチ回路の3R-RSフリップフロップ117のQ出力と第4のラッチ回路の3R-RSフリップフロップ118のQ出力を2入力論理和ゲート124に供給し、2入力論理和ゲート124の出力を第2のラッチ回路の3R-RSフリップフロップ116のR2入力に供給し、第2のラッチ回路の3R-RSフリップフロップ116のQ出力と2入力論理和ゲート124の出力を2入力論理和ゲート123に供給し、2入力論理和ゲート123の出力を第1のラッチ回路の3R-RSフリップフロップ115のR2入力に供給し、第1ないし第4のラッチ回路の3R-RSフリップフロップ115～118のR3入力に外部より共通信号(リクエストリセット信号)を供給する構成となっている。

【0008】最後に、3R-RSフリップフロップ115～118のQ出力より受付信号a～dがそれぞれ出力される。ここで、図6のアービタ回路の動作を説明する。要求信号A～Dのすべてが“L”である場合には、受付信号a～dのすべてが“L”であるので、4入力否定論理和ゲート125の出力信号が“H”であり、4つの2入力論理積ゲート111～114は開いている。この状態で例えば、要求信号Aが“H”となると、3R-RSフリップフロップ115へS入力が供給され、そのQ出力、つまり受付信号aが“H”となる。また、受付信号aが“H”となることで、4入力否定論理和ゲート125の出力信号が“L”となり、4つの2入力論理積ゲート111～114は閉じて3R-RSフリップフロップ115へのS入力の供給は停止するが、要求信号Aが“H”となったことは3R-RSフリップフロップ115がセット状態となることで保持されており、この状態では、その後他の要求信号B～Dの何れかが“H”となっても2入力論理積ゲート112～114が閉じているので、3R-RSフリップフロップ116～118へはS入力が供給されず、受付信号b～dは“H”とはならない。その後、要求信号Aが“L”に戻ったときは、リクエストリセット信号を一時的に“H”にして3R-RSフリップフロップ115にR3入力を供給し、3R-RSフリップフロップ115をリセット状態に戻す。その他の要求信号B～Dが“H”となったときにも、上記と同様に動作する。

【0009】つぎに、要求信号A、Bが同時に“H”となった場合、3R-RSフリップフロップ115、116の両方がセットされ、それらのQ出力、つまり受付信号a、bが“H”となる。また、受付信号a、bが“H”となることで、4入力否定論理和ゲート125の出力信号が“L”となり、4つの2入力論理積ゲート111～114は閉じて、3R-RSフリップフロップ115、116のセット入力の供給は停止するが、要求信

号Bが“H”となったことは3R-RSフリップフロップ116がセット状態となることで保持されている。一方、3R-RSフリップフロップ115については、3R-RSフリップフロップ116のQ出力が“H”となるので、そのQ出力が2入力論理和ゲート123を通してR2入力として供給されていることから、すぐにリセット状態に戻る。この回路では、要求信号Bが要求信号Aより優先される。この状態では、その後他の要求信号C、Dの何れかが“H”となっても2入力論理積ゲート113、114が閉じているので、3R-RSフリップフロップ117、118へはS入力が供給されず、受付信号c、dは“H”とはならない。その後、要求信号Bが“L”に戻ったときは、リクエストリセット信号を一時的に“H”にして3R-RSフリップフロップ116にR3入力を供給し、3R-RSフリップフロップ116をリセット状態に戻す。このとき、要求信号Aがまだ“H”となっていると、上記と同様にして3R-RSフリップフロップ115がセット状態となって、受付信号aが“H”となる。その後、要求信号Aが“L”に戻ったときは、リクエストリセット信号を一時的に“H”にして3R-RSフリップフロップ115にR3入力を供給し、3R-RSフリップフロップ115をリセット状態に戻す。

【0010】つぎに、要求信号Aが“H”となり、3R-RSフリップフロップ115のQ出力が“H”となり、4入力否定論理和ゲート125の出力信号が“L”になる直前に要求信号Bが“H”となった場合、2入力論理和ゲート112の出力はパルス状の出力となるが、遅延素子120の遅延時間を3R-RSフリップフロップ116内におけるS入力から出力をチッチするまでの遅延時間よりも長く設定することにより、前記パルス状の入力によって、3R-RSフリップフロップ116のR1入力とNQ出力が同時に“L”になることがないため、前記パルス状の入力による受付信号bの発振を生じることなく正常に動作する。

【0011】要求信号A～Dで上記以外の組合せで、2つ以上が同時に“H”となったときにも、上記と同様に動作する。この場合、優先順位はD、C、B、Aの順である。

#### 【0012】

【発明が解決しようとする課題】しかしながら、上記従来の構成では、回路の発振等を防ぐために、多数個のバッファもしくは多数個のバッファおよび容量からなる遅延素子119～122等を用いたことにより、回路規模が大きくなってしまう。この発明は、従来例に比べて、より小さい回路規模で、複数の要求信号の競合を調整することを可能とするアービタ回路を提供することを目的とする。

#### 【0013】

【課題を解決するための手段】請求項1記載のアービタ

回路は、複数の入力信号がそれぞれ供給される複数のゲート素子からなるゲート手段と、複数のゲート素子が一つずつサイクリックに導通するように複数のゲート素子の導通・遮断を制御するゲート制御手段と、複数のゲート素子の何れかの出力信号が有意となったときにゲート制御手段にゲート固定信号を与えて複数のゲート素子の導通・遮断状態を保持させるとともに複数のゲート素子の何れの出力信号も有意でなくなったときにゲート固定信号の供給を停止するゲート固定手段とを備えている。

【0014】請求項2記載のアービタ回路は、請求項1のアービタ回路において、ゲート手段が、第1ないし第4の入力信号が一方の入力端子に供給される第1ないし第4の2入力論理積ゲートからなる。また、ゲート固定手段が、第1ないし第4の2入力論理積ゲートの出力信号が4つの入力端子にそれぞれ供給される4入力否定論理和ゲートと、この4入力否定論理和ゲートの出力信号が一方の入力端子に供給される排他的論理和ゲートと、この排他的論理和ゲートの出力信号がD入力端子に供給されQ出力が排他的論理和ゲートの他方の入力端子に供給され外部クロック信号がクロック端子に供給される第1のDフリップフロップとからなる。

【0015】さらに、ゲート制御手段が、第1のDフリップフロップのQ出力がクロック端子に供給される第2のDフリップフロップと、この第2のDフリップフロップのQ出力がD入力端子に供給されるとともに第1のDフリップフロップのQ出力がクロック端子に供給される第3のフリップフロップと、この第3のフリップフロップのQ出力がD入力端子に供給されるとともに第1のDフリップフロップのQ出力がクロック端子に供給されQ出力が第1のDフリップフロップのD入力端子に供給される第4のフリップフロップと、第2、第3および第4のDフリップフロップのNQ出力が3つの入力端子にそれぞれ供給され出力信号が第1の2入力論理積ゲートの他方の入力端子に供給される第1の3入力論理積ゲートと、第2のDフリップフロップのQ出力および第3および第4のDフリップフロップのNQ出力が3つの入力端子にそれぞれ供給され出力信号が第2の2入力論理積ゲートの他方の入力端子に供給される第2の3入力論理積ゲートと、第2および第3のDフリップフロップのQ出力および第4のDフリップフロップのNQ出力が3つの入力端子にそれぞれ供給され出力信号が第3の2入力論理積ゲートの他方の入力端子に供給される第3の3入力論理積ゲートと、第2、第3および第4のDフリップフロップのQ出力が3つの入力端子にそれぞれ供給され出力信号が第4の2入力論理積ゲートの他方の入力端子に供給される第4の3入力論理積ゲートとからなる。

【0016】

【作用】この発明の構成によれば、ゲート手段において複数の入力信号がそれぞれ供給される複数のゲート素子が一つずつサイクリックに導通することになり、複数の

入力信号の何れかが有意（例えば“H”レベル）となると、その入力信号が供給されるゲート素子が導通するタイミングでそのゲート素子の出力信号が有意となる。この結果、ゲート固定手段からゲート制御手段へゲート固定信号が供給され、そのときの複数のゲート素子の導通・遮断状態がゲート制御手段によって保持されることになる。このとき、他の入力信号が有意となつても、この他の信号に対応したゲート素子は導通せず、したがってそのゲート素子の出力信号が有意となることはなく、2つ以上のゲート素子の出力信号が同時に有意となることはない。

【0017】上記有意となった入力信号がその後有意でなくなったときにゲート固定信号の供給が停止され、ゲート制御手段によって複数のゲート素子が再び一つずつサイクリックに導通することになり、他の入力信号に対応したゲート素子を導通させて、そのゲート素子の出力信号を有意にしたり、あるいはつぎに複数の入力信号の何れかが有意となるのを待つこととなる。

【0018】また、複数の入力信号のうちの2以上が同時に有意となると、その後先に導通する方のゲート素子が導通するタイミングでそのゲート素子の出力信号が有意となる。この結果、ゲート固定手段からゲート制御手段へゲート固定信号が供給され、そのときの複数のゲート素子の導通・遮断状態がゲート制御手段によって保持されることになる。このとき、同時に有意となつた他の入力信号があつても、この他の信号に対応したゲート素子は導通せず、したがってそのゲート素子の出力信号が有意となることはなく、2つ以上のゲート素子の出力信号が同時に有意となることはない。

【0019】上記先に導通したゲート素子に対応した入力信号がその後有意でなくなったときにゲート固定信号の供給が停止され、ゲート制御手段によって複数のゲート素子が再び一つずつサイクリックに導通することになり、同時に有意となつた他の入力信号に対応したゲート素子を導通させて、そのゲート素子の出力信号を有意にすることになる。

【0020】

【実施例】以下、この発明の実施例のアービタ回路について、図面を参照しながら説明する。図1はこの発明の一実施例のアービタ回路のブロック図である。図1において、1は第1ないし第4の要求信号（入力信号）A～Dがそれぞれ供給される4個のゲート素子からなるゲート手段であり、第1ないし第4の受付信号（出力信号）a～dが取り出される。

【0021】2は4個のゲート素子が一つずつサイクリックに導通するように4個のゲート素子の導通・遮断を制御するゲート制御手段であり、カウンタ2aとデコーダ2bとで構成される。3は4個のゲート素子の何れかの出力信号が有意（“H”）となつときにゲート制御手段2にゲート固定信号eを与えて4個のゲート素子の

導通・遮断状態を保持させるとともに4個のゲート素子の何れの出力信号も有意（“H”）でなくなったときにゲート固定信号eの供給を停止するゲート固定手段である。

【0022】ここで、図1のアービタ回路の動作を説明する。このアービタ回路では、ゲート手段1において複数の要求信号A～Dがそれぞれ供給される複数のゲート素子が一つずつサイクリックに導通することになり、複数の要求信号A～Dの何れか、例えば要求信号Aが有意（例えば“H”レベル）となると、その要求信号Aが供給されるゲート素子が導通するタイミングでそのゲート素子の出力信号、つまり受付信号aが有意となる。この結果、ゲート固定手段3からゲート制御手段2へゲート固定信号eが供給され、そのときの複数のゲート素子の導通・遮断状態がゲート制御手段2によって保持されることになる。このとき、他の要求信号B～Dが有意となっても、この他の要求信号B～Dに対応したゲート素子は導通せず、したがってそのゲート素子の出力信号、つまり受付信号b～dが有意となることはなく、2つ以上のゲート素子の出力信号が同時に有意となることはない。

【0023】上記有意となった要求信号Aがその後有意でなくなったときにゲート固定信号eの供給が停止され、ゲート制御手段2によって複数のゲート素子が再び一つずつサイクリックに導通することになり、他の要求信号B～Dに対応したゲート素子を導通させて、そのゲート素子の出力信号、つまり受付信号b～dを有意にしたり、あるいはつぎに複数の要求信号A～Dの何れかが有意となるのを待つこととなる。

【0024】また、複数の要求信号A～Dのうちの2以上、例えば要求信号A、Bが同時に有意となると、その後方に導通する方のゲート素子が導通するタイミングでそのゲート素子の出力信号、例えば受付信号bが有意となる。この結果、ゲート固定手段3からゲート制御手段2へゲート固定信号eが供給され、そのときの複数のゲート素子の導通・遮断状態がゲート制御手段2によって保持されることになる。このとき、同時に有意となった他の要求信号Aがあっても、この他の要求信号Aに対応したゲート素子は導通せず、したがってそのゲート素子の出力信号、つまり受付信号aが有意となることはなく、2つ以上のゲート素子の出力信号が同時に有意となることはない。

【0025】上記先に導通したゲート素子に対応した要求信号Bがその後有意でなくなったときにゲート固定信号eの供給が停止され、ゲート制御手段2によって複数のゲート素子が再び一つずつサイクリックに導通することになり、同時に有意となった他の要求信号Aに対応したゲート素子を導通させて、そのゲート素子の出力信号、つまり受付信号bを有意にすることになる。

【0026】図2は図1のアービタ回路の具体的な回路

構成の一例を示す回路図である。図2において、ゲート手段1は、第1ないし第4の要求信号A～Dが一方の入力端子に供給される第1ないし第4の2入力論理積ゲート11～14からなる。また、ゲート固定手段3は、第1ないし第4の2入力論理積ゲート11～14の出力が4つの入力端子にそれぞれ供給される4入力否定論理和ゲート19と、この4入力否定論理和ゲート19の出力が一方の入力端子に供給される排他的論理和ゲート20と、この排他的論理和ゲート20の出力がD入力端子に供給されQ出力が排他的論理和ゲート20の他方の入力端子に供給され外部クロック信号OSCがクロック端子に供給される第1のDフリップフロップ21とからなる。

【0027】さらに、ゲート制御手段2は、第1のDフリップフロップ21のQ出力がクロック端子に供給される第2のDフリップフロップ22と、この第2のDフリップフロップ22のQ出力がD入力端子に供給されるとともに第1のDフリップフロップ21のQ出力がクロック端子に供給される第3のフリップフロップ23と、この第3のフリップフロップ23のQ出力がD入力端子に供給されるとともに第1のDフリップフロップ21のQ出力がクロック端子に供給されQ出力が第1のDフリップフロップ21のD入力端子に供給される第4のフリップフロップ24と、第2、第3および第4のDフリップフロップ22、23、24のNQ出力が3つの入力端子にそれぞれ供給され出力が第1の2入力論理積ゲート11の他方の入力端子に供給される第1の3入力論理積ゲート15と、第2のDフリップフロップ22のQ出力および第3のDフリップフロップ23、24のNQ出力が3つの入力端子にそれぞれ供給され出力が第3の2入力論理積ゲート13の他方の入力端子に供給される第3の3入力論理積ゲート17と、第2、第3および第4のDフリップフロップ22、23、24のQ出力が3つの入力端子にそれぞれ供給され出力が第4の2入力論理積ゲート14の他方の入力端子に供給される第4の3入力論理積ゲート18とからなる。

【0028】上記の第2、第3および第4のDフリップフロップ22、23、24は、ゲート固定手段3によりカウントが制御されるカウンタ2aを構成し、第1、第2、第3および第4の3入力論理積ゲート18はカウンタ2aの出力をデコードするデコーダ2bを構成している。図3、図4および図5はこの発明の実施例のアービタ回路の動作を示すタイミングチャートである。図3は要求信号が入力されていない場合のタイミングチャートで、図4は2つ以上の要求信号がアービタ回路に同時に

入力されない場合のタイミングチャートで、図5は2つの要求信号がアビタ回路に同時に入力された場合のタイミングチャートである。

【0029】まず、図3のタイミングチャートについて説明する。要求信号A～Dのすべてが有意でない

(“L”)状態では、4入力否定論理和ゲート19の出力信号A1は“H”であり、2入力排他的論理和ゲート20の出力信号A2およびDフリップフロップ21のQ出力A3は、外部クロック信号OSCの1/2の周波数で互いに逆相で“H”と“L”とを交互に繰り返している。このとき、Dフリップフロップ22のQ出力B1は、Dフリップフロップ21のQ出力A3の3周期間“H”でつぎの3周期間“L”的繰り返しとなる。Dフリップフロップ23のQ出力B2は、Dフリップフロップ22のQ出力B1をDフリップフロップ21のQ出力A3の1周期分遅延させた波形となり、Dフリップフロップ24のQ出力B3はDフリップフロップ23のQ出力B2をDフリップフロップ21のQ出力A3の1周期分遅延させた波形となる。

【0030】3入力論理積ゲート15の出力信号D1はDフリップフロップ21のQ出力A3の6周期毎にDフリップフロップ21のQ出力A3の1周期だけ“H”となり残りの5周期は“L”となる波形となる。3入力論理積ゲート16～18の出力信号D2～D4は、3入力論理積ゲート15の出力信号D1の波形に対して、それぞれ順次Dフリップフロップ21のQ出力A3の1周期ずつずれた波形となる。受付信号a～dはすべて“L”である。

【0031】つぎに、2つ以上の要求信号が同時に有意(“H”)にならない場合、例えば要求信号Aが単独で有意(“H”)になる場合について、図4のタイミングチャートについて説明する。2入力論理積ゲート11に入力される要求信号Aが“H”となり、3入力論理積ゲート15の出力信号D1が“H”になると、2入力論理積ゲート11の出力信号である受付信号aは“H”となり、4入力否定論理和ゲート19の出力信号A1は“L”となり、2入力排他的論理和ゲート20の一方の入力が“L”となるため、2入力排他的論理和ゲート20の出力信号A2は、Dフリップフロップ21のQ出力A3に等しくなり、外部クロック信号OSCの立ち上がりエッジがDフリップフロップ21のクロック端子に入力されても、Dフリップフロップ21のQ出力A3は前サイクルのQ出力の結果を保持することで、Dフリップフロップ22～24の出力状態は、前サイクルの結果を保持するので、3入力論理積ゲート15～18の出力結果も前サイクルの状態、つまり3入力論理積ゲート15の出力信号D1のみが“H”となって、受付信号aは“H”となり、要求信号Aが受け付けられたことになる。これは、要求信号B、C、Dの場合でも同様の動作である。

【0032】つぎに、2つの要求信号A、Bが同時に有意(“H”)となった場合について、図5のタイミングチャートについて説明する。アビタ回路に入力される要求信号Aと要求信号Bが同時に“H”となったとき、3入力論理積ゲート15の出力信号D1が“L”であり、3入力論理積ゲート16の出力信号D2が“H”であり、3入力論理積ゲート17、18の出力信号D3、D4が“L”であるとき、2入力論理積ゲート11、13、14の出力信号である受付信号a、c、dは“L”となり、2入力論理積ゲート12の出力信号である受付信号bは“H”となり、4入力否定論理和ゲート19の出力信号A1は“L”となる。2入力排他的論理和ゲート20の一方の入力が“L”となるため、2入力排他的論理和ゲート20の出力信号A2は、Dフリップフロップ21のQ出力A3に等しくなり、外部クロック信号OSCの立ち上がりエッジがDフリップフロップ21のクロック端子に入力されても、Dフリップフロップ21のQ出力A3は前サイクルのQ出力の結果を保持し、Dフリップフロップ22～24の出力状態は、前サイクルの結果を保持するので、3入力論理積ゲート15～18の出力結果も前サイクルの状態、つまり3入力論理積ゲート15の出力信号D1のみが“H”となり、受付信号bが“H”となって、要求信号Bが受け付けられたことになる。その後、要求信号Bが“L”になると、2入力論理積ゲート12の出力信号が“L”になり、4入力否定論理和ゲート19の出力信号A1が“H”となり、2入力排他的論理和ゲート20の出力信号A2は、Dフリップフロップ21のQ出力A3の反転信号となり、外部クロック信号OSCの立ち上がりエッジがDフリップフロップ21のクロック端子に入力されると、Dフリップフロップ21のQ出力A3は前サイクルのQ出力の反転信号となり、Dフリップフロップ21のQ出力A3が“L”から“H”を繰り返すと、Dフリップフロップ22～24の出力状態が遷移し続け、その後3入力論理積ゲート15の出力信号D1が“H”となった時、2入力論理積ゲート11の出力信号である受付信号aが“H”となり、4入力否定論理和ゲート19の出力信号A1は“L”となる。2入力排他的論理和ゲート19の1入力が“L”となるため、4入力排他的論理和ゲート21の出力信号A2は、Dフリップフロップ21のQ出力A3に等しくなり、外部クロック信号OSCの立ち上がりエッジがDフリップフロップ21のクロック端子に入力されても、Dフリップフロップ21のQ出力A3は前サイクルのQ出力の結果を保持し、Dフリップフロップ22～24の出力状態は、前サイクルの結果を保持するので、3入力論理積ゲート15～18の出力結果も前サイクルの状態、つまり3入力論理積ゲート15の出力信号D1のみが“H”となり、受付信号aが“H”となって、要求信号Aが受け付けられたことになる。以下、3つ以上の要求信号が同時に入力されても同様の動作であ

る。

【0033】これにより、競合する2つ以上の要求信号A～Dを調整し、いずれか一つの要求信号を選択するというアービタ回路としての仕様を満足する。なお、上記実施例では、4つの要求信号を調整するアービタ回路の実施例について説明したが、調整の対象となる要求信号の数は4つに限らず、アービタ回路の具体的な回路構成は調整の対象となる要求信号の数に応じて適宜変更される。

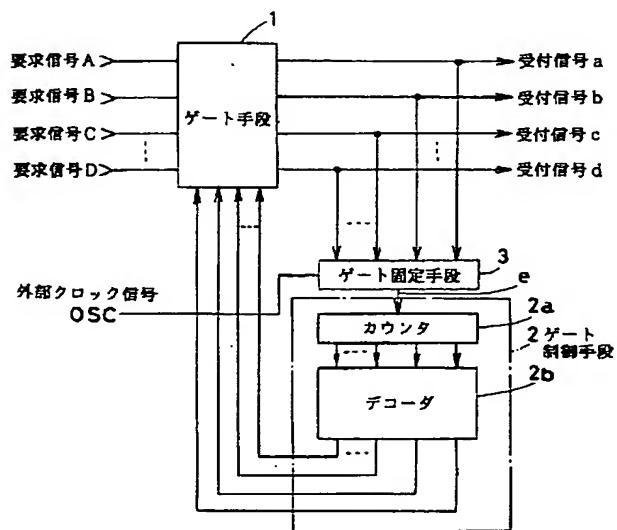
#### 【0034】

【発明の効果】この発明のアービタ回路によれば、複数の入力信号がそれぞれ供給される複数のゲート素子からなるゲート手段を設け、複数のゲート素子が一つずつサイクリックに導通するように複数のゲート素子の導通・遮断を制御するゲート制御手段を設け、複数のゲート素子の何れかの出力信号が有意となったときにゲート制御手段にゲート固定信号を与えて複数のゲート素子の導通・遮断状態を保持させるとともに複数のゲート素子の何れの出力信号も有意でなくなったときにゲート固定信号の供給を停止するゲート固定手段を設けたので、遅延回路を使用せずに複数の入力信号の競合を調整する回路を構成でき、したがってより小さい回路規模で、2つ以上の要求信号の競合を調整することを可能である。

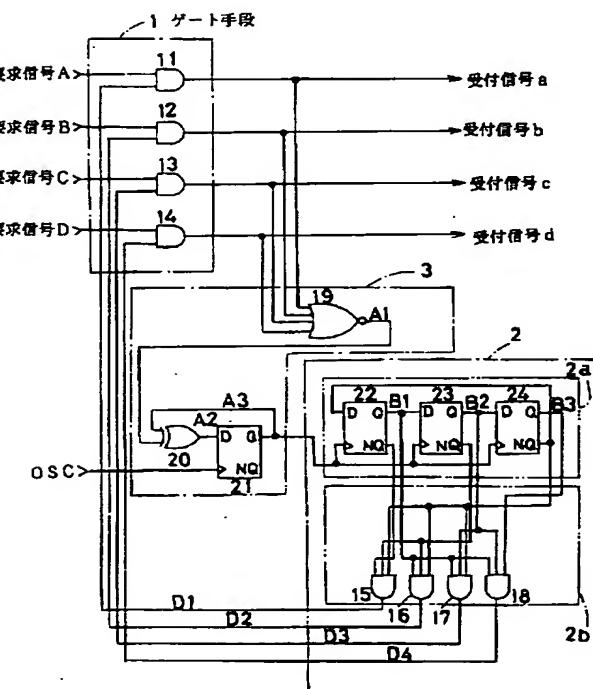
#### 【図面の簡単な説明】

【図1】この発明の一実施例のアービタ回路の構成を示すブロック図である。

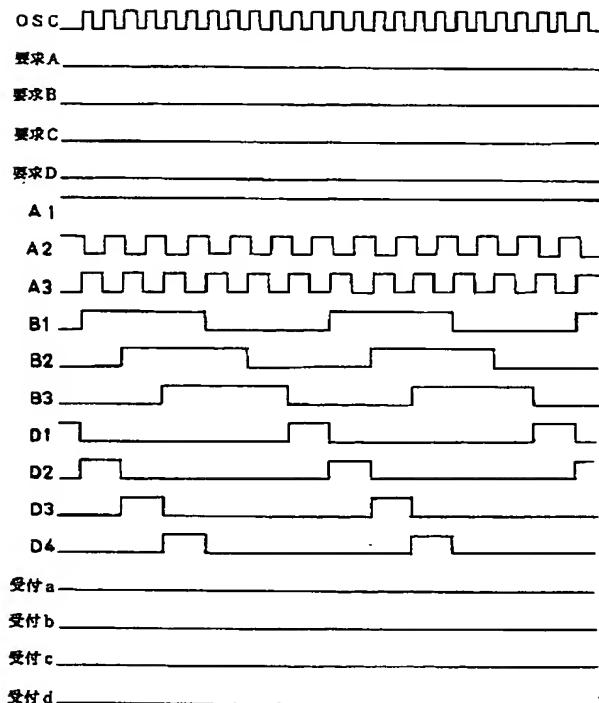
【図1】



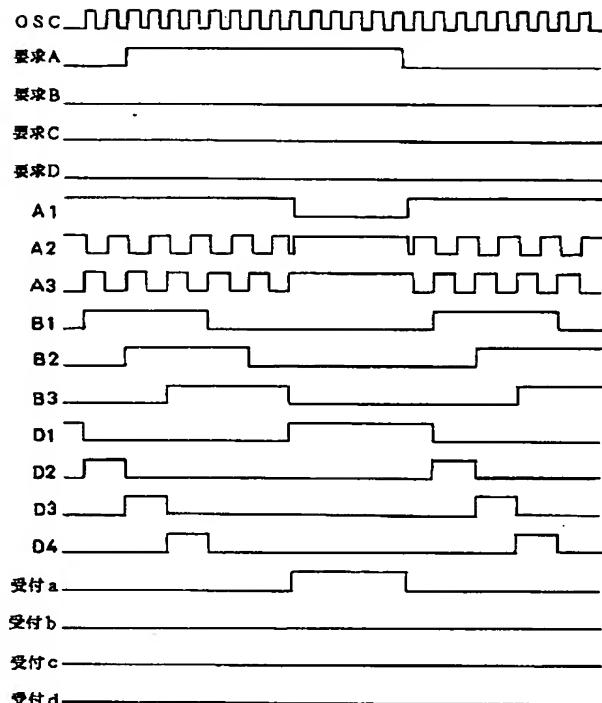
【図2】



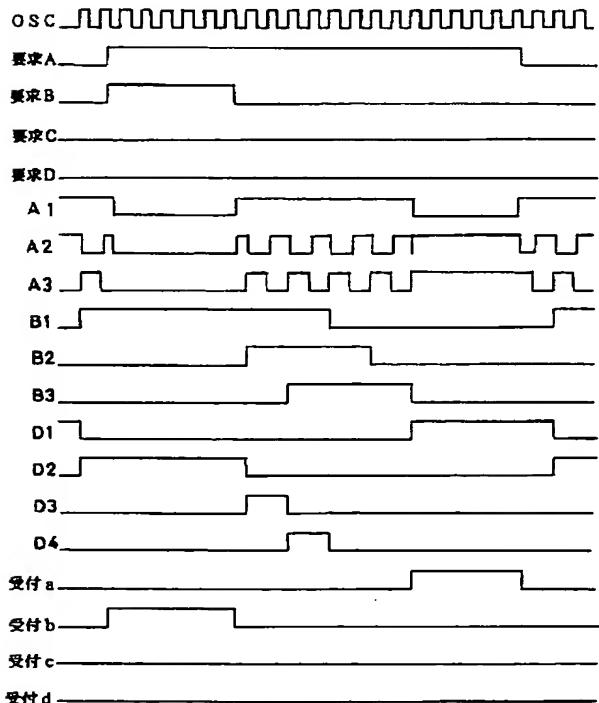
【図3】



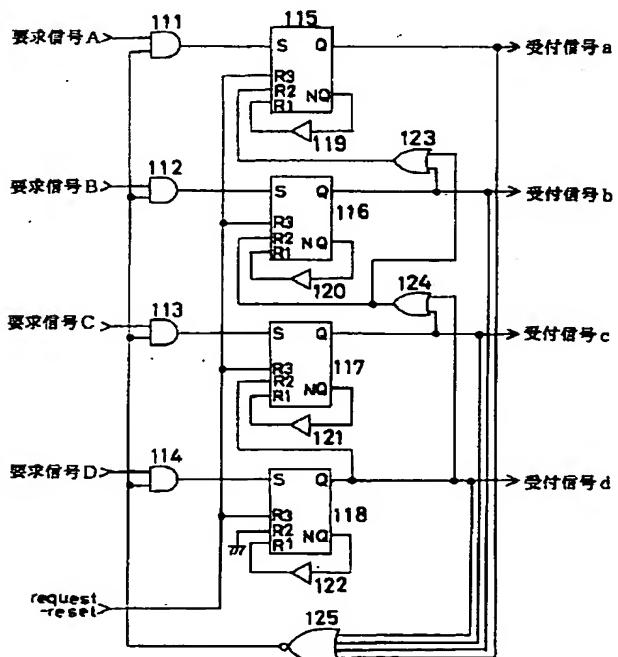
【図4】



【図5】



【図6】



【図 7】

